

W10-24

PHASE-LOCKED LOOP CIRCUIT

Patent Number: JP11017669

Publication date: 1999-01-22

Inventor(s): AMASE KAZUHIKO

Applicant(s): NEC TOHOKU LTD

Requested Patent: JP11017669

Application Number: JP19970170392 19970626

Priority Number(s):

IPC Classification: H04L7/033; G06F1/04; H03L7/00; H04L1/22; H04L7/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To simply correct phase locking with a small-sized, light-weight, low power consumption and a simple circuit configuration in the case of selecting a clock system in the communication system having a system changeover device that selects either of duplicate systems for a clock signal and a signal group synchronously with the clock signal to any time.

SOLUTION: A phase-locked loop circuit 6 is constituted of a PLL 4 and memory 5. The PLL 4 adopts a narrow frequency range for its output clock 8 and a long receiving time of an input frequency signal, so that the output clock is synchronously with the input clock signal slowly to the utmost, when the input clock 7 whose period is instantaneously expanded or contracted is received. In the case of reading a signal, a signal outputted from a system changeover device 3 is read in a clock timing outputted from the system changeover device 3, and in the case of outputting a signal, the memory 5 used for the received signal is read by the output clock signal 8 synchronized with the clock signal which is outputted from the system changeover device 3 to the PLL 4.

Data supplied from the esp@cenet database - I2

TOP

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17669

(43)公開日 平成11年(1999)1月22日

(51) Int.Cl. ⁵	識別記号	F I
H 04 L 7/033		H 04 L 7/02 B
G 06 F 1/04	3 0 3	G 06 F 1/04 3 0 3 A
H 03 L 7/00		H 03 L 7/00 C
H 04 L 1/22		H 04 L 1/22
7/00		7/00 Z

審査請求 有 請求項の数2 O L (全4頁)

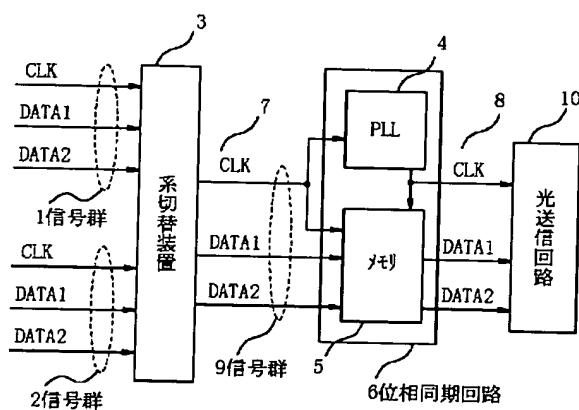
(21)出願番号	特願平9-170392	(71)出願人	000222060 東北日本電気株式会社 岩手県一関市柄貝1番地
(22)出願日	平成9年(1997)6月26日	(72)発明者	天瀬 和彦 岩手県一関市柄貝1番地 東北日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 位相同期回路

(57)【要約】

【課題】クロックおよびこのクロックに同期した信号群が二重化され、この二重化された系を随時選択するための系切替装置を有する通信システムで、小型軽量、低消費電力、簡易回路構成で冗長構成のクロックの系切替時の位相同期を簡単に矯正する。

【解決手段】位相同期回路6をPLL 4とメモリ5とで構成する。PLL 4は、瞬間に伸び縮みするクロック7が入力されたときに出力クロックをできるだけ緩やかに同期させるよう出力クロック8の周波数範囲を狭く且つ入力周波数の引込時間を長く設定する。信号読み込み時には系切替装置3が出力するクロックタイミングで系切替装置3の出力する信号を読み込み且つ信号読み出し時にはこの読み込まれた信号を系切替装置3が出力するクロックをPLL 4に入力し同期させた出力クロック8によって読み出すためのメモリ5とを備える。



【特許請求の範囲】

【請求項1】クロックおよびこのクロックに同期した信号群が二重化され、この二重化された系を随時選択するための系切替装置を有する通信システムにおいて、瞬間に伸び縮みするクロックが入力されたときに出力クロックをできるだけ緩やかに同期させるよう出力クロックの周波数範囲を狭く且つ入力周波数の引込時間を長く設定したPLLと、信号読み込み時には前記系切替装置が outputするクロックタイミングで前記系切替装置の出力する信号を読み込み且つ信号読み出し時にはこの読み込まれた信号を前記系切替装置が outputするクロックを前記PLLに入力し同期させたPLL出力クロックによって読み出すためのメモリとを備えることを特徴とする位相同期回路。

【請求項2】前記PLLは、系切替が発生した直後からPLL出力クロックは周波数を少しづつ変化させながら入力クロックの位相に同調するように働き、入力クロック中に存在する位相切り替わりを穏やかに長い時間に渡る周波数変動に変換することを特徴とする請求項1記載の位相同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は通信システムの信号系の位相同期回路に関し、特に系切替装置を有する通信システムのクロックおよび複数データの位相を同期させる位相同期回路に関する。

【0002】

【従来の技術】従来、この種の位相同期回路は、二重化されたクロック発生装置を有する通信システムにおいて、現用系から予備系へクロック発生装置を切り替えるときに、両系のクロックに位相ずれがあることに起因するデータエラーの発生を防止することを目的として用いられている。

【0003】たとえば、特開平4-267672号公報には、各々が外部クロックを入力としこの外部クロックに位相同期した発振クロックを生成するクロック生成手段を有する第1および第2の系統のクロック発生回路と、これら両系のクロック発生回路を外部切替指示情報に応じて択一的に導出する選択手段とを含むクロック位相同期システムで、この第1、第2の系統のクロック発生回路の対応分周出力を用いてこの分周出力に同期したリセットパルスを発生するリセットパルス発生手段と、前述の選択手段により選択された現用系のクロック発生回路に応答するリセットパルスによって非選択状態の予備用クロック発生回路の分周手段をリセットする手段を備えることにより、冗長構成を採用している現用系と予備系での系切替時のクロック位相同期を実現する技術が記載されている。

【0004】

【発明が解決しようとする課題】上述した従来の位相

期システムでは、クロック位相同期を実現するための構成要素としては、リセットパルスを発生するリセット部と、外部から入力されるクロックと同期したクロックを出力するクロック発生回路(1/N分周回路を含む)と、クロック選択部と、リセット信号を検出して非選択状態の予備用クロック発生回路の分周手段をリセットする手段と、外部切替指示情報により択一的にクロックを導出する選択部とをすべて備えなければならない。これらの構成要素は比較的回路規模が大きく実装スペースも多く必要とし、消費電力、コストも非常に大きくなる。これに伴い位相同期システムの規模も大きくなってしまうという問題がある。

【0005】本発明の目的は、小型軽量、低消費電力、簡易回路構成で冗長構成のクロックの系切替時の位相同期を簡単に矯正することが可能な位相同期回路を提供することにある。

【0006】

【課題を解決するための手段】本発明の位相同期回路は、クロックおよびこのクロックに同期した信号群が二重化され、この二重化された系を随時選択するための系切替装置を有する通信システムにおいて、瞬間に伸び縮みするクロックが入力されたときに出力クロックをできるだけ緩やかに同期させるよう出力クロックの周波数範囲を狭く且つ入力周波数の引込時間を長く設定したPLLと、信号読み込み時には前記系切替装置が outputするクロックタイミングで前記系切替装置の出力する信号を読み込み且つ信号読み出し時にはこの読み込まれた信号を前記系切替装置が outputするクロックを前記PLLに入力し同期させたPLL出力クロックによって読み出すためのメモリとを備え、前記PLLは、系切替が発生した直後からPLL出力クロックは周波数を少しづつ変化させながら入力クロックの位相に同調するように働き、入力クロック中に存在する位相切り替わりを穏やかに長い時間に渡る周波数変動に変換する。

【0007】本発明によれば、クロックが入力されるPLLの第1の特徴は、入力の位相変動が起きたときに入力信号へ追従する速度を遅く設定していることである。このため、PLLの出力クロックは入力信号に緩やかに追従し、ある程度長い時間をかけてPLL入力信号に同期する。入力信号を追従しているときのPLL出力クロックは穏やかに周波数変動しており、PLLの後段で信号を受信する回路あるいはシステムがデータエラーを起こさない範囲内の周波数変動である。このため、PLLが入力信号に追従する速度は、後段の回路あるいはシステムの信号受信能力に応じて変化させる必要がある。

【0008】また、PLLの第2の特徴は、入力信号を追従するクロック出力の出力周波数範囲を狭く設定することである。このため、PLL出力クロックの周波数変動は入力信号から大きくかけ離れることができなくなり、後段の回路あるいはシステムもデータエラーを起こ

しにくくなる。

【0009】これら前述の二つの特性を有することにより、PLLは入力クロックに含まれる瞬間的な位相変動を、長い時間の穏やかな周波数変動に変換して出力することができる。また、メモリに入力されるデータ群は、PLLの入力クロックタイミングで読み込まれ、メモリ出力時はPLLの出力クロックタイミングで読み出されるため、メモリの前後では常にクロックに同期するので、系切替が起きたときの瞬間的で急激な位相変動を含む信号群は、ある程度長い時間に渡る穏やかな周波数変動を含む信号群に変換される。

【0010】本発明の位相同期回路の後段でクロックおよびデータ群を受信する回路あるいはシステムがデータエラーを起こさない範囲内の周波数変動を持つクロックおよびデータ群であれば、系切替が発生しても、通信回路あるいはシステムはデータエラー無しで信号を受信することができる。

【0011】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0012】図1を参照すると、本発明の位相同期回路6を用いた光通信システムの一例が示されており、クロックおよびこのクロックに同期した信号群が二重化され、この二重化された系を隨時選択するための系切替装置3と、データを送信する光送信回路10との間に位相同期回路6が設けられている。現用系入力信号群1と予備系入力信号群2との間には位相差が存在しており、系切替装置3の出力信号群9は、PLL4とメモリ5とで構成される位相同期回路6に入力され、この回路の出力を光送信回路10に入力する。

【0013】位相同期回路6は、瞬間に伸び縮みするクロックが入力されたときに出力クロックができるだけ緩やかに同期させるよう出力クロックの周波数範囲を狭く且つ入力周波数の引込時間を長く設定したPLL4と、信号読み込み時には系切替装置3が出力するクロックタイミングで系切替装置3の出力する信号を読み込み且つ信号読み出し時にはこの読み込まれた信号を系切替装置3が出力するクロックをPLL4に入力し同期させたPLL出力クロックによって読み出すためのメモリ5とを備える。

【0014】次に、本発明の動作について説明する。図2(a)は図1における系切替装置3での入出力クロックのずれの一例を示すタイミングチャートであり、図2(b)は図1におけるPLL4での入出力クロックの一例を示すタイミングチャートである。系切替装置3の切替動作が発生した瞬間に、出力信号群9は瞬間に且つ急激な位相切り替わり点を含む。この位相切り替わり点を含む出力信号群9の中の入力クロック7はPLL4に入力されるが、PLL4は常に入力クロック7と出力クロック8の位相を比較して位相差を極小にするように

働き、結果的に入力と出力の位相と周波数を同調する機能を有する。

【0015】ここで、PLLの基本動作について説明する。一般的なPLLは、位相比較器(PD)と、ローパスフィルタ(LPF)と、電圧制御発振器(VCO)とを備えて構成され、VCOの出力クロックはPDにループバックする。このとき、PDは入力信号と出力クロックの位相差を検出して、位相差に応じた電圧を出力する。PD出力電圧はLPFに入力され平滑化されたのち、VCOに入力されVCO出力クロック周波数を制御する。

【0016】PLL4の入力クロック7に瞬間的な位相変動が起きたとき、PLL4の入力クロック7と出力クロック8との間には一定の位相差が生じ、その位相差を検出したPLL4は出力クロック8の周波数を変動させて入力クロック7と出力クロック8の位相差を少なくするよう動作し、PLL4の出力クロック8は入力クロック7に同期する。

【0017】本発明の位相同期回路に用いているPLL4の特徴は、図2(b)に示すように、入力クロック7と出力クロック8の間に位相差が発生したときに、PLL4の出力クロック8の周波数を穏やかに長い時間に渡って変動するように、LPFの時定数を設定し出力特性を決定する。また、出力クロック8と入力クロック7の周波数が一定以上かけ離れることがないように、VCOの出力クロック8の周波数範囲を、たとえば、中心周波数から±1%以内と狭く設定する。上述したこれらの2つの設定により、出力クロック8は非常にゆっくりと入力クロック7の位相を追従する。このPLL4の入出力タイミングチャートの一例を図2(b)に、また、系切替装置3で現用系入力信号群1から予備系入力信号群2に系切替されたときのクロックの状態を図2(a)に示す。

【0018】PLL4は、クロック7の系切替が発生した直後からPLL4の出力クロック8は周波数を少しづつ変化させながら入力クロック7の位相に同調するよう働き、入力クロック7の中に存在する位相切り替わりを穏やかに長い時間に渡る周波数変動に変換する。この周波数変動を含む出力クロック8を受信した光送信回路10が、データエラーを発生しない程度に出力クロック8の中の周波数が変動している区間ににおいて、隣接ビット間の位相変動が少なくなるようにPLL4、およびPLL4を構成するPD、LPF、VCOを設定する。

【0019】また、系切替装置3が出力する出力信号群9の中の入力クロック7に同期したDATA1, 2はメモリ5に入力されるが、メモリ5に読み込むときは入力クロック7のタイミングで行うが、メモリ5からのデータ読み出しは出力クロック8のタイミングで行う。

【0020】

【発明の効果】以上説明したように本発明によれば、第

1の効果は、クロックおよびこのクロックに同期した信号群が二重化され、この二重化された系を随時選択するための系切替装置を有する通信システムにおいて、系切替時に発生する通信システムのデータエラーを防止することができる。その理由は、瞬間に伸び縮みするクロックが入力されたときに出力クロックをできるだけ緩やかに同期させよう出力クロックの周波数範囲を狭く且つ入力周波数の引込時間を長く設定したPLLと、信号読み込み時には系切替装置が出力するクロックタイミングで系切替装置の出力する信号を読み込み且つ信号読み出し時にはこの読み込まれた信号を系切替装置が出力するクロックをPLLに入力し同期させたPLL出力クロックによって読み出すためのメモリとを備える位相同期回路を用いるためである。

【0021】また、第2の効果は、このデータエラーの発生防止機能を、上述したPLLとメモリのみの少ない構成手段で実現できるということである。

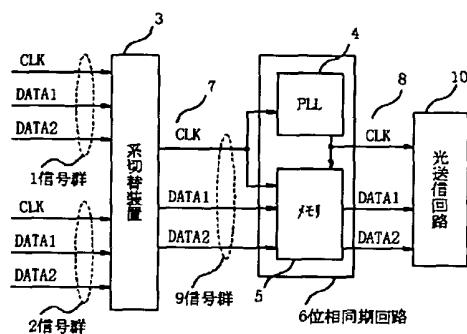
【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図である。
 【図2】(a)は図1における系切替装置での入出力クロックのずれの一例を示すタイミングチャートである。
 (b)は図1におけるPLLでの入出力クロックの一例を示すタイミングチャートである。

【符号の説明】

- 1 現用系入力信号群
- 2 予備系入力信号群
- 3 系切替装置
- 4 PLL
- 5 メモリ
- 6 位相同期回路
- 7 入力クロック
- 8 出力クロック
- 9 出力信号群
- 10 光送信回路

【図1】



【図2】

